

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Takao NISHIMURA, et al.

Serial Number: Not Yet Assigned

Filed: January 26, 2004

Customer No.: 38834

For: A STACKED SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

January 26, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

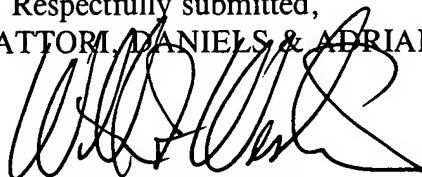
Japanese Appln. No. 2003-065392, filed on March 11, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



William F. Westerman
Reg. No. 29,988

Atty. Docket No.: 042057
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
WFW/II

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: March 11, 2003

Application Number: No. 2003-065392
[ST.10/C]: [JP 2003-065392]

Applicant(s): FUJITSU LIMITED

November 25, 2003

Commissioner,
Patent Office Yasuo Imai (Seal)

Certificate No. 2003-3097151

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 1 日
Date of Application:

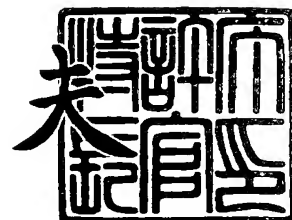
出 願 番 号 特 願 2 0 0 3 - 0 6 5 3 9 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 5 3 9 2]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 1 1 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 7 1 5 1

【書類名】 特許願

【整理番号】 0340242

【提出日】 平成15年 3月11日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 23/57
H01L 23/12

【発明の名称】 積層型半導体装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 西村 隆雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 合葉 和之

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 高島 晃

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】**【識別番号】** 100070150**【住所又は居所】** 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階**【弁理士】****【氏名又は名称】** 伊東 忠彦**【電話番号】** 03-5424-2511**【手数料の表示】****【予納台帳番号】** 002989**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0114942**【プルーフの要否】** 要



【書類名】 明細書

【発明の名称】 積層型半導体装置

【特許請求の範囲】

【請求項 1】 第 1 の配線基板と、該第 1 の配線基板に搭載された少なくとも一つの半導体素子と、外部接続用端子とを有する第 1 の半導体装置部と、

前記第 1 の半導体装置部の下部に位置するよう配設された第 2 の配線基板と、該第 2 の配線基板に搭載された少なくとも一つの半導体素子と、前記第 2 の配線基板の前記第 1 の半導体装置部と対向する面に形成された接続用電極とを有する第 2 の半導体装置部と、

前記第 1 の半導体装置部と前記第 2 の半導体装置部との間に配設される回路基板本体と、前記接続用電極と電氣的に接続する第 1 の導電性部材と、前記外部接続端子の形成位置に対応して形成されており該外部接続端子と電氣的に接続する第 2 の導電性部材と、前記第 1 の導電性部材と前記第 2 の導電性部材を接続する第 3 の導電性部材とを有する第 3 の配線基板と、
を具備することを特徴とする積層型半導体装置。

【請求項 2】 請求項 1 記載の積層型半導体装置において、

前記第 1 の導電性部材を、前記回路基板本体を貫通して形成されると共に前記第 3 の導電性部材と接続された半田バンプにより構成したことを特徴とする積層型半導体装置。

【請求項 3】 請求項 1 記載の積層型半導体装置において、

前記第 1 の導電性部材を半田バンプにより構成すると共に、
前記第 2 の導電性部材及び前記第 3 の導電性部材を、前記第 3 の配線基板の前記第 2 の半導体装置部と対向する面に形成し、

かつ、前記外部接続端子を前記第 3 の配線基板に形成された貫通孔を介して前記第 2 の導電性部材と電氣的に接続したことを特徴とする積層型半導体装置。

【請求項 4】 請求項 1 記載の積層型半導体装置において、

前記第 2 の導電性部材及び前記第 3 の導電性部材を、前記第 3 の配線基板の前記第 1 の半導体装置部と対向する面と、前記第 2 の半導体装置部と対向する面との両面にそれぞれに形成すると共に、

該両面に形成された第3の導電性部材を前記回路基板本体を貫通して形成された貫通電極で電氣的に接続した構成としたことを特徴とする積層型半導体装置。

【請求項5】 請求項1乃至4のいずれかに記載の積層型半導体装置において、

前記第1の半導体装置部を複数積層した構造としたことを特徴とする積層型半導体装置。

【請求項6】 請求項1乃至5のいずれかに記載の積層型半導体装置において、

前記第2の半導体装置部を複数積層した構造としたことを特徴とする積層型半導体装置。

【請求項7】 請求項1乃至6のいずれかに記載の積層型半導体装置において、

前記第3の配線基板を多層配線基板としたことを特徴とする積層型半導体装置。

【請求項8】 請求項1乃至7のいずれかに記載の積層型半導体装置において、

前記第3の配線基板に受動素子を設けたことを特徴とする積層型半導体装置。

【請求項9】 請求項8記載の積層型半導体装置において、
前記第3の配線基板を多層配線基板とすると共に、
前記受動素子を前記多層配線基板の内部に形成したことを特徴とする積層型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は積層型半導体装置に係り、特に複数の半導体装置部及び半導体素子を積層した三次元構造を有する積層型半導体装置に関する。

【0002】

近年の電子機器の発達に伴い、電子機器に使用される半導体装置には、小型化、薄型化、多機能化、高機能化、高密度化が益々要求されている。このような要

求に対処すべく、半導体装置パッケージの構造は、複数の半導体装置部あるいは複数の半導体素子を積層した三次元構造に移行しつつある。

【0003】

【従来の技術】

従来、複数の半導体装置部（半導体素子単体、或いは半導体素子をパッケージングした構成のものをいう）を積層した三次元構造を有した半導体装置として、例えば特許文献1または特許文献2に開示されたものがある。特許文献1には、外部端子としてリードフレームを用いたQFP（クワッド・フラット・パッケージ）型パッケージが開示されている。この半導体装置は、リードフレームのインナーリード部を変形させて凸部を形成することでパッケージ上部に端子を設け、そのパッケージの上部に、上下面に端子を持つ積層配線基板をはんだバンプで接続する構成とされている。

【0004】

また、特許文献2には、半導体素子をモールド封止した半導体装置部を多段に積層した構造の半導体装置が開示されている。この半導体装置は、モールド封止された半導体装置部のモールド封止部に貫通配線を形成して、パッケージの上部に端子を設け、そのパッケージの上部に、上下面に端子を持つ再配線基板を半田ボールにより接続する構成とされている。

【0005】

【特許文献1】

特開平06-252334号公報（第3-7頁、第1図）

【0006】

【特許文献2】

特開2002-158312号公報（第3-7頁、第1図）

【0007】

【発明が解決しようとする課題】

しかしながら、特許文献1に開示された半導体装置は、下部に配設される半導体装置部は複数個多段積層できず、またリードフレームを変形してパッケージ上部に端子を形成する必要があるため、製造工程が多く、そのため製造コストが高

くになってしまうという問題点があつた。

【0 0 0 8】

また、特許文献 2 に開示された半導体装置は、個々の半導体装置部がモールドされているために薄型化が困難であり、また貫通配線を形成するために要する製造工程が多いため、製造コストが高くなるという問題点がある。

【0 0 0 9】

また、特許文献 1, 2 に開示されたような複数の半導体装置部を積層して三次元構造とした半導体装置においては、各半導体装置部の外部接続端子の配列を予め積層可能なように設定しておく必要がある。この場合、それぞれの半導体装置部を新規に設計・製造・試験をした後に積層して一体化するよりも、良品と保証された汎用の半導体装置を入手し、これを半導体装置部として積層した方が、試験工程における設備・人件費を削減できることで、トータルコストで安くなる場合がある。しかしながら、各半導体装置部の外部接続端子の配列が、汎用の半導体装置を積層可能なようには設定されていないという問題点があつた。

【0 0 1 0】

本発明は上記の点に鑑みてなされたものであり、汎用の半導体装置部（半導体装置）を積層可能とした積層型半導体装置を提供することを目的とする。

【0 0 1 1】

【課題を解決するための手段】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0 0 1 2】

請求項 1 記載の発明に係る積層型半導体装置は、

第 1 の配線基板と、該第 1 の配線基板に搭載された少なくとも一つの半導体素子と、外部接続用端子とを有する第 1 の半導体装置部と、

前記第 1 の半導体装置部の下部に位置するよう配設された第 2 の配線基板と、該第 2 の配線基板に搭載された少なくとも一つの半導体素子と、前記第 2 の配線基板の前記第 1 の半導体装置部と対向する面に形成された接続用電極とを有する第 2 の半導体装置部と、

前記第 1 の半導体装置部と前記第 2 の半導体装置部との間に配設される回路基板本体と、前記接続用電極と電氣的に接続する第 1 の導電性部材と、前記外部接続端子の形成位置に対応して形成されており該外部接続端子と電氣的に接続する第 2 の導電性部材と、前記第 1 の導電性部材と前記第 2 の導電性部材を接続する第 3 の導電性部材とを有する第 3 の配線基板とを具備することを特徴とするものである。

【0013】

上記発明によれば、外部接続端子と電氣的に接続する第 2 の導電性部材は、外部接続端子の形成位置に対応して形成され、他に第 2 の導電性部材の形成位置を規制するものはない。このため、外部接続端子の配列が予め定められている汎用の半導体装置部を用いることが可能となる。また、第 3 の配線基板上における第 2 の導電性部材及び第 3 の導電性部材のレイアウトの自由度が向上するため、積層型半導体装置が容易に実現でき、これにより半導体装置の高機能化、多機能化に対応することができる。

【0014】

また、一般に複数の半導体装置部（半導体素子）を有する半導体装置においては、半導体装置の組立後に試験をすると、個々の半導体素子の歩留が累積された歩留となる。しかしながら、本請求項の発明に係る半導体装置は、汎用の半導体装置、換言すれば予め良品である品質保証がされた半導体装置を半導体装置部として搭載するため、半導体装置全体の製造歩留を向上させることができる。

【0015】

また、請求項 2 記載の発明は、

請求項 1 記載の積層型半導体装置において、

前記第 1 の導電性部材を、前記回路基板本体を貫通して形成されると共に前記第 3 の導電性部材と接続された半田バンプにより構成したことを特徴とするものである。

【0016】

上記発明によれば、第 1 の導電性部材を半田バンプにより構成したことにより、簡易かつ低コストに積層構造を実現することができる。

【0017】

また、請求項3記載の発明は、
請求項1記載の積層型半導体装置において、
前記第1の導電性部材を半田バンプにより構成すると共に、
前記第2の導電性部材及び前記第3の導電性部材を、前記第3の配線基板の前記第2の半導体装置部と対向する面に形成し、
かつ、前記外部接続端子を前記第3の配線基板に形成された貫通孔を介して前記第2の導電性部材と電気的に接続したことを特徴とするものである。

【0018】

上記発明によれば、外部接続端子を第2の導電性部材に接続する際、外部接続端子は第3の配線基板に形成された貫通孔を介して第2の導電性部材と電気的に接続される。このため、外部接続端子が貫通孔内に入り込む量に対応する高さだけ第1の半導体装置部と第3の配線基板とを近接でき、よって積層型半導体装置の薄型化を図ることができる。

【0019】

また、請求項4記載の発明は、
請求項1記載の積層型半導体装置において、
前記第2の導電性部材及び前記第3の導電性部材を、前記第3の配線基板の前記第1の半導体装置部と対向する面と、前記第2の半導体装置部と対向する面との両面にそれぞれに形成すると共に、
該両面に形成された第3の導電性部材を前記回路基板本体を貫通して形成された貫通電極で電気的に接続した構成としたことを特徴とするものである。

【0020】

上記発明によれば、第3の導電性部材を第3の配線基板の両面にそれぞれに形成することにより、片面のみに第3の導電性部材を形成する構成に比べ、第3の導電性部材をより複雑なパターンで形成でき、よって半導体装置の設計の自由度が向上する。

【0021】

また、第3の配線基板の両面に第2の導電性部材及び第3の導電性部材が形成

されることにより、第3の配線基板の剛性が増し、温度変化による基板の反りや変形の発生を低減できる。これにより、半導体装置の信頼性を向上させることができる。

【0022】

また、請求項5記載の発明は、
請求項1乃至4のいずれかに記載の積層型半導体装置において、
前記第1の半導体装置部を複数積層した構造としたことを特徴とするものである。

【0023】

上記発明によれば、第1の半導体装置部が複数積層された構造となるため、半導体装置の高機能化、多機能化により有利となる。

【0024】

また、請求項6記載の発明は、
請求項1乃至5のいずれかに記載の積層型半導体装置において、
前記第2の半導体装置部を複数積層した構造としたことを特徴とするものである。

【0025】

上記発明によれば、第2の半導体装置部が複数積層された構造となるため、半導体装置の高機能化、多機能化により有利となる。

【0026】

また、請求項7記載の発明は、
請求項1乃至6のいずれかに記載の積層型半導体装置において、
前記第3の配線基板を多層配線基板としたことを特徴とするものである。

【0027】

上記発明によれば、第3の配線基板を多層配線基板とすることにより、より高密度な配線基板を形成できる。また、多層配線基板は片面配線基板或いは両面配線基板に比べて剛性が増すため、第3の配線基板の温度変化による基板の反り・変形を低減でき、組立工程での製造歩留を向上させることができる。

【0028】

また、請求項 8 記載の発明は、

請求項 1 乃至 7 のいずれかに記載の積層型半導体装置において、

前記第 3 の配線基板に受動素子を設けたことを特徴とするものである。

【0029】

上記発明によれば、第 3 の配線基板に受動素子を設けているため、所定の電気特性が要求される高周波デバイスに適した半導体装置を構成できる。

【0030】

また、請求項 9 記載の発明は、

請求項 8 記載の積層型半導体装置において、

前記第 3 の配線基板を多層配線基板とすると共に、

前記受動素子を前記多層配線基板の内部に形成したことを特徴とするものである。

【0031】

上記発明によれば、受動素子を多層配線基板の内部に形成したことにより、受動素子は第 3 の配線基板に一体的に組み込まれた状態となる。このため、第 3 の配線基板と別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

【0032】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。

【0033】

図 1 は、本発明の第 1 実施例である積層型半導体装置 10 A（以下、単に半導体装置という）を示している。半導体装置 10 A は、大略すると上部半導体装置部 11 A（以下、上部装置部という）、下部半導体装置部 12 A（以下、下部装置部という）、及びインターポーザ基板 13 A（請求項記載の第 3 の配線基板に相当する）等により構成されている。

【0034】

上部装置部 11 A は、一般に市販されている汎用の半導体装置である。よって、上部装置部 11 A は、製造メーカーによって予め良品と保証されたものを用いる

。

【0035】

この上部装置部 11A は BGA (Ball Grid Array) タイプの半導体装置であり、第 1 の配線基板 16A の上面に半導体素子 14A が搭載されると共に、第 1 の配線基板 16A の下面には外部接続端子 22 が配設されている。この外部接続端子 22 は、半田ボールにより形成されている。

【0036】

本実施例では、半導体素子 14A は第 1 の配線基板 16A 上にフェイスアップで固定されている。また、第 1 の配線基板 16A には電極パッド 20 が形成されており、半導体素子 14A と電極パッド 20 はワイヤ 21 により接続されている。

【0037】

また、前記した外部接続端子 22 は第 1 の配線基板 16A に形成された貫通孔を介して電極パッド 20 に接続されている。よって、半導体素子 14A はワイヤ 21 及び電極パッド 20 を介して外部接続端子 22 に電氣的に接続されている。また、第 1 の配線基板 16A の上部全体には封止樹脂 23 が形成されており、半導体素子 14A、ワイヤ 21 等を保護している。

【0038】

下部装置部 12A は、大略すると半導体素子 15A、第 2 の配線基板 17A、及び外部接続端子 29 等により構成されている。

半導体素子 15A は、第 2 の配線基板 17A にフリップチップ接合により搭載されている。即ち、半導体素子 15A の回路面にある電極部（図示せず）にはバンプ 25 が予め形成されており、このバンプ 25 を第 2 の配線基板 17A の上面 24A に形成されたバンプ接合用電極 27 に接合することにより、半導体素子 15A は第 2 の配線基板 17A に電氣的に接続される。また、バンプ 25 とバンプ接合用電極 27 との接合部分の強度を高めるため、半導体素子 15A と第 2 の配線基板 17A との間にはアンダーフィル樹脂 30 が配設されている。

【0039】

第 2 の配線基板 17A は、上部装置部 11A の下部に位置するよう配設されて

いる。即ち、下部装置部 12 A は、上部装置部 11 A の下部に配設された構成とされている。

【0040】

この第 2 の配線基板 17 A は、その下面 24 B に複数の下部電極 28 が形成されており、この下部電極 28 には外部接続端子 29 が接合されている。この外部接続端子 29 は、半導体装置 10 A を実装基板に実装する際、実装基板に接合されるものである。また、外部接続端子 29 が接合される下部電極 28 は、第 2 の配線基板 17 A に内設された内層配線（図示せず）によりバンプ接合用電極 27 或いは接続用電極 26 に接続されている。

【0041】

接続用電極 26 は、後述するようにインターポーザ基板 13 A の第 1 の導電性部材 32 が接合される電極であり、第 2 の配線基板 17 A の上面 24 A に形成されている。また、その配設位置は、半導体素子 15 A の搭載位置を避けて形成されている。

【0042】

インターポーザ基板 13 A は、大略すると回路基板本体 18 A、第 1 の導電性部材 32、第 2 の導電性部材 33、及び第 3 の導電性部材 34 A 等により構成されている。

回路基板本体 18 A は、前記した上部装置部 11 A と下部装置部 12 A との間に配設されている。従って、インターポーザ基板 13 A は上部装置部 11 A と下部装置部 12 A との間に配設された構成とされている。この回路基板本体 18 A は、ガラスーエポキシ或いはガラスーBT（ビスマレイミド・トリアジン）製の片面配線基板であり、本実施例では上面 31 A に第 2 の導電性部材 33 による電極部及び第 3 の導電性部材 34 A による配線部が形成された構成とされている。

【0043】

第 1 の導電性部材 32 は半田バンプであり、インターポーザ基板 13 A に形成された貫通孔を介して第 3 の導電性部材 34 A に接続されている。この第 1 の導電性部材 32 は、下部装置部 12 A とインターポーザ基板 13 A とを電氣的に接続する機能を奏するものである。このように、下部装置部 12 A とインターポー

が基板 13A とを電氣的に接続するのに半田バンプよりなる第 1 の導電性部材 32 を用いることにより、第 1 の導電性部材 32 を簡易かつ低コストに形成でき、かつ下部装置部 12A とインターポーザ基板 13A の積層処理を容易に実現することができる。

【0044】

また、回路基板本体 18A の上面 31A には、第 2 の導電性部材 33 及び第 3 の導電性部材 34A が形成されている。この各導電性部材 33, 34A は、銅をプリント配線した構成とされている。また、この各導電性部材 33, 34A は、回路基板本体 18A の上面 31A に形成された保護膜 35A により保護されている。この保護膜 35A は、上部装置部 11A の外部接続端子 22 に対応する位置に開口部 44 が形成されている。

【0045】

第 2 の導電性部材 33 は、前述した上部装置部 11A の外部接続端子 22 が接合される。また、第 3 の導電性部材 34A は、第 1 の導電性部材 32 と第 2 の導電性部材 33 を電氣的に接続する配線として機能する。

【0046】

従って、上部装置部 11A の外部接続端子 22 と、下部装置部 12A の接続用電極 26 は、第 1 の導電性部材 32, 第 2 の導電性部材 33, 及び第 3 の導電性部材 34A を介して電氣的に接続された構成となる。これにより、上部装置部 11A と下部装置部 12A はインターポーザ基板 13A を中間に介して積層された半導体装置 10A を構成し、かつインターポーザ基板 13A は上部装置部 11A と下部装置部 12A を電氣的に接続するインターポーザとして機能する。

【0047】

上記構成とされた半導体装置 10A は、第 2 の導電性部材 33 は上部装置部 11A の外部接続端子 22 の形成位置に対応して形成され、他に第 2 の導電性部材 33 の形成位置を規制するものはない。このため、回路基板本体 18A の上面 31A において、第 2 の導電性部材 33 を外部接続端子 22 の配列に合わせて形成することが可能となる。このため、外部接続端子 22 の配列が予め定められている、汎用の半導体装置を上部装置部 11A として用いることが可能となる。

【0048】

前記したように、一般に複数の半導体装置部（半導体素子）を有する半導体装置においては、半導体装置の組立後に試験をすると、個々の半導体素子の歩留が累積された歩留となる。しかしながら、本実施例の半導体装置 10A は、汎用の半導体装置、換言すれば予め良品である品質保証がされた半導体装置を半導体装置部 11A として搭載するため、半導体装置 10A 全体としての製造歩留を向上させることができる。

【0049】

また、本実施例に係る半導体装置 10A では、上記のように第 2 の導電性部材 33 を半導体装置部 11A に合わせて形成できることにより設計の自由度を高めることができるが、合わせて回路基板本体 18A の上面 31A に形成される第 3 の導電性部材 34A についても設計の自由度を高めることもできる。これにより、積層型であることにより複雑となる配線構造を簡単化することが可能となり、半導体装置 10A の設計を容易に実現でき、これにより半導体装置 10A の高機能化、多機能化に対応することができる。

【0050】

尚、図示していないが、各基板間 16A、17A、13A の電氣的接続部以外の部分であって、対向する間隙部に接着材を介在させて接着固定するような構造とすることも可能である（本実施例では、半導体素子 15A の非回路面（上面）と回路基板本体 18A との間隙等がこれに対応する）。また、以下説明する各実施例においても同様である。

【0051】

次に、本発明の第 2 実施例について説明する。

図 2 は、本発明の第 2 実施例である半導体装置 10B を示している。尚、第 2 実施例の説明、及びその後の各実施例の説明において用いる図 3 乃至図 7 において、図 1 に示した構成と対応する構成については同一符号を付してその説明を省略するものとする。

【0052】

本実施例に係る半導体装置 10B は、上部装置部 11A 及び下部装置部 12A

は、前記した第1実施例に係る半導体装置10Aと同一構成とされている。しかしながら、第1実施例に係るインターポーザ基板13Aは、第2の導電性部材33及び第3の導電性部材34Aが回路基板本体18Aの上面31Aに形成されていたのに対し、本実施例では回路基板本体18Bの下面31Bに第2の導電性部材33及び第3の導電性部材34Bを形成したことを特徴とするものである。

【0053】

回路基板本体18Bの下面31Bは、下部装置部12Aと対向する側の面である。よって、本実施例に係る半導体装置10Bは、第2の導電性部材33及び第3の導電性部材34を、回路基板本体18Bの下部装置部12Aと対向する面に形成した構成としている。

【0054】

また、回路基板本体18Bの下面31Bに形成された第2の導電性部材33及び第3の導電性部材34Bは、回路基板本体18Bの下面31Bに形成された保護膜35Bにより保護されている。また、下部装置部12Aの接続用電極26に対応する位置において、保護膜35Bには、開口部44Bが形成されている。この開口部44Bにおいて、第1の導電性部材32と第3の導電性部材34Bとは接続されている。

【0055】

また、上部装置部11Aの外部接続端子22は、インターポーザ基板13Bの第2の導電性部材33に接続する必要がある。このため、回路基板本体18Bの上部装置部11Aの外部接続端子22の形成位置と対応する位置には貫通孔36が形成されており、外部接続端子22はこの貫通孔36を介して第2の導電性部材33に電氣的に接続された構成とされている。

【0056】

具体的には、外部接続端子22は前記したように半田ボールであるため、上部装置部11Aをインターポーザ基板13Bに搭載する際に実施される加熱処理により外部接続端子22は熔融し、貫通孔36内に進入する。よって、外部接続端子22は貫通孔36を介して第2の導電性部材33に電氣的に接続される。

【0057】

このように、本実施例に係る半導体装置 10B は、外部接続端子 22 の一部が回路基板本体 18B に形成された貫通孔 36 内に入り込んだ状態となる。このため、外部接続端子 22 が貫通孔 36 内に入り込む量に対応する高さ分だけ、上部装置部 11A とインターポーザ基板 13B とを近接することが可能となる。

【0058】

具体的には、第 1 実施例に係る半導体装置 10A では、図 1 に示すように上部装置部 11A とインターポーザ基板 13A との離間距離 H_1 必要であったものを、本実施例に係る半導体装置 10B によれば、図 2 に矢印示すように外部接続端子 22 が貫通孔 36 に入り込むことにより、上部装置部 11A とインターポーザ基板 13B の離間距離 H_2 を小さくすることができる ($H_2 < H_1$)。これにより、第 1 実施例の半導体装置 10A に比べ、本実施例に係る半導体装置 10A は薄型化を図ることができる。

【0059】

次に、本発明の第 3 実施例について説明する。

図 3 は、本発明の第 3 実施例である半導体装置 10C を示している。本実施例に係る半導体装置 10C も、上部装置部 11A 及び下部装置部 12A は前記した第 1 実施例に係る半導体装置 10A と同一構成とされている。しかしながら、第 1 及び第 2 実施例に係るインターポーザ基板 13A、13B は、第 3 の導電性部材 34A、34B を回路基板本体 18A の上面 31A 或いは下面 31B のいずれか片面にのみに形成していた。

【0060】

これに対して本実施例では、インターポーザ基板 13C の上面 31A 及び下面 31B の双方に第 3 の導電性部材 34A、34B を形成したことを特徴とするものである。具体的には、回路基板本体 18C の上面 31A に、外部接続端子 22 と接合される第 2 の導電性部材 33 と第 3 の導電性部材 34A とを形成し、回路基板本体 18C の下面 31B に第 3 の導電性部材 34B を形成した構成としている。尚、各第 3 の導電性部材 34A、34B 上には保護膜 35A、35B が形成されており、各第 3 の導電性部材 34A、34B を保護している。

【0061】

また、上部装置部 11A の外部接続用端子 22 に対応する位置において、保護膜 35A には、開口部 44A が形成されている。また、下部装置部 12A の接続用電極 26 に対応する位置において、保護膜 35B には、開口部 44B が形成されている。

【0062】

また、回路基板本体 18C の上面 31A に形成された第 3 の導電性部材 34A と、下面 31B に形成された第 3 の導電性部材 34B は、回路基板本体 18C を貫通して形成された貫通電極 37 により電氣的に接続された構成とされている。この貫通電極 37 は、回路基板本体 18C に貫通孔を形成した後、この貫通孔に銅を充填することにより形成されたビア構造とされている。

【0063】

上記した本実施例に係る半導体装置 10C によれば、インターポーザ基板 13C が回路基板本体 18C の両面にそれぞれに第 3 の導電性部材 34A, 34B を形成した構成であるため、片面のみに第 3 の導電性部材を形成する構成に比べ、第 3 の導電性部材 34A, 34B をより複雑なパターンで形成でき、よって半導体装置 10C の設計の自由度を向上させることができる。また、この第 3 の導電性部材 34A, 34B が補強材として機能することにより、インターポーザ基板 13C の剛性が増し、温度変化による基板の反りや変形の発生を低減できる。これにより、製造時においては製造歩留を向上させることができると共に、完成後は半導体装置 10C の信頼性を高めることができる。

【0064】

次に、本発明の第 4 実施例について説明する。

図 4 は、本発明の第 4 実施例である半導体装置 10D を示している。本実施例に係る半導体装置 10D は、インターポーザ基板 13D 上に複数の上部装置部 11B, 11C を積層配置したことを特徴とするものである。

【0065】

最上部に位置する上部装置部 11B は、半導体素子 14B, 半導体素子 14C を第 1 の配線基板 16B 上に積層した構造を有している。半導体素子 14C は第 1 の配線基板 16B にフリップチップ接合され、半導体素子 14B はこの半導体

素子 14C 上にフェイスアップで接着剤 45 により接着固定されている。また、半導体素子 14B と第 1 の配線基板 16B は、ワイヤ接続された構成とされている。更に、第 1 の配線基板 16B の下面（上部装置部 11C と対向する面）には、接続電極 44A が形成されている。

【0066】

上部装置部 11C は、上記した上部装置部 11B の下部に配設されている。この上部装置部 11C は、第 1 の配線基板 16C に半導体素子 14D をフリップチップ接合した構成とされている。また、第 1 の配線基板 16C のインターポーザ基板 13D と対向する位置には、外部接続端子 22 が形成されている。更に、第 1 の配線基板 16C の上面（上部装置部 11B と対向する面）には、接続電極 44B が形成されている。

【0067】

上記構成とされた上部装置部 11B と上部装置部 11C は、上部装置部 11B の第 1 の配線基板 16B に形成されている接続電極 44A と、上部装置部 11C の第 1 の配線基板 16C に形成されている接続電極 44B とを積層用バンプ 38A で接続することにより、電氣的に接続された構成とされている。

【0068】

一方、下部装置部 12B は、本実施例では 2 個の半導体素子 15B, 15C を搭載した構成としている。各半導体素子 15B, 15C はバンプ 25 が形成されており、第 2 の配線基板 17B に形成されたバンプ接合用電極 27 にフリップチップ接合されている。

【0069】

インターポーザ基板 13D は、上面 31A に第 2 の導電性部材 33 及び第 3 の導電性部材 34A が形成されており、下面 31B に第 1 の導電性部材 32 が接合される第 3 の導電性部材 34B を形成している。この第 3 の導電性部材 34A と第 3 の導電性部材 34B は、回路基板本体 18D 内に形成されたビアにより電氣的に接続された構成とされている。

【0070】

上記したように本実施例に係る半導体装置 10D は、2 個の上部装置部 11B

、11Cをインターポーザ基板13D上に積層した構成としている。この構成とすることにより、半導体装置10Dの更なる高機能化、多機能化を図ることができる。

【0071】

また、上部装置部の積層数は、本実施例のように2層に限定されるものではなく、3層以上積層することも可能である。その場合の各上部装置部間の電氣的接続、及び上部装置部とインターポーザ基板13Dの電氣的接続は、フリップチップ接続、TAB接続、ワイヤ接続等を適宜選定して用いることができる。また、各上部装置部において、第1の配線基板に搭載される半導体素子は、第1の配線基板の上面または下面、或いは両面のいずれに搭載することも可能である。

【0072】

次に、本発明の第5実施例について説明する。

図5は、本発明の第5実施例である半導体装置10Eを示している。本実施例に係る半導体装置10Eは、インターポーザ基板13Dの下部に複数の下部装置部12A、12Cを積層配置したことを特徴とするものである。

【0073】

最下部に位置する下部装置部12Aは、図1に示した第1実施例に係る半導体装置10Aに設けられているものと同様の構成とされている。下部装置部12Cは、この下部装置部12Aの上部に積層されている。

【0074】

下部装置部12Cは、第2の配線基板17Cの上面に半導体素子15Dがフリップチップ接合されると共に、下面にも半導体素子15Eがフリップチップ接合された構成とされている。これにより、半導体素子15D、15Eの実装密度の向上を図っている。また、第2の配線基板17Cの上面には接続電極45Aが形成されており、また下面には接続電極45Bが形成されている。

【0075】

下部装置部12Aと下部装置部12Cは、第2の配線基板17Aに形成された接続用電極26と第2の配線基板17Cに形成された接続電極45Bを積層用バンプ38Bで接続することにより電氣的に接続された構成とされている。また、

インターポーザ基板 13D と下部装置部 12C は、回路基板本体 18D の下面 31B に形成されている第 3 の導電性部材 34B と、第 2 の配線基板 17C に形成されている接続電極 45A を第 1 の導電性部材 32 で接続することにより電氣的に接続された構成とされている。

【0076】

一方、本実施例における上部装置部 11D は、半導体素子 14E、半導体素子 14F を第 1 の配線基板 16D 上に積層した構造を有している。半導体素子 14F は第 1 の配線基板 16D の上部にフェイスアップで接着剤 45F により接着固定され、半導体素子 14E はこの半導体素子 14F の上部にフェイスアップで接着剤 45E により接着固定されている。

【0077】

この半導体素子 14E と第 1 の配線基板 16D はワイヤ接続されており、また半導体素子 14F と第 1 の配線基板 16D もワイヤ接続されている。これにより、各半導体素子 14E、14F は、第 1 の配線基板 16D と電氣的に接続された状態となる。尚、インターポーザ基板 13D は、図 4 に示した第 4 実施例に係るものと同一構成とされている。

【0078】

上記したように本実施例に係る半導体装置 10E は、2 個の下部装置部 12A、12C をインターポーザ基板 13D の下部に積層した構成としている。この構成とすることにより、半導体装置 10E の更なる高機能化、多機能化を図ることができる。

【0079】

また、下部装置部の積層数は、本実施例のように 2 層に限定されるものではなく、3 層以上積層することも可能である。その場合の各下部装置部間の電氣的接続、及び下部装置部とインターポーザ基板 13D の電氣的接続は、フリップチップ接続、TAB 接続、ワイヤ接続等を適宜選定して用いることができる。また、各下部装置部において、第 2 の配線基板に搭載される半導体素子は、第 2 の配線基板の上面または下面、或いは両面のいずれに搭載することも可能である。

【0080】

尚、本実施例ではインターポーザ基板 13D として内層配線を有した多層基板を用いた例を示したが、前記した各実施例で示したような片面配線基板、或いは両面配線基板を用いることも可能である。

【0081】

次に、本発明の第 6 実施例について説明する。

図 6 は、本発明の第 6 実施例である半導体装置 10F を示している。本実施例に係る半導体装置 10F は、インターポーザ基板 13E を構成する回路基板本体 18E を多層配線基板とすると共に、この回路基板本体 18E 上に受動部品 40 を搭載したことを特徴とするものである。

【0082】

インターポーザ基板 13E は、回路基板本体 18E の内部に内層配線として構成される第 3 の導電性部材 34C が形成されている。この第 3 の導電性部材 34C は、第 1 の導電性部材 32 と第 2 の導電性部材 33 とを電氣的に接続する。

【0083】

また本実施例では、この回路基板本体 18E に搭載される上部装置部 11E は、第 1 の配線基板 16D に半導体素子 14G がフリップチップ接合された構成とされている。

【0084】

更に、本実施例では、インターポーザ基板 13E の上部に、受動部品 40 を搭載した構成とされている。この受動部品 40 は、例えばチップコンデンサ、チップ抵抗等に代表される小型電子部品である。本実施例においては、受動部品 40 は、インターポーザ基板 13E の上部に半田付けされる。

【0085】

上記構成とされた半導体装置 10F は、インターポーザ基板 13E として多層配線基板を用いているため、内層配線となる第 3 の導電性部材 34C をより高密度とすることができる。

【0086】

また、インターポーザ基板 13E は、内部に内層配線（第 3 の導電性部材 34C）が形成されているため、片面配線基板或いは両面配線基板に比べて剛性が高

い。このため、インターポーザ基板 13E に温度変化による反りや変形が発生することを抑制でき、よって半導体装置 10F の信頼性を高めることができる。

【0087】

また、本実施例に係る半導体装置 10F は、インターポーザ基板 13E に受動部品 40 を搭載した構成とされているため、所定の電気特性が要求される高周波デバイスに適している。

【0088】

尚、本実施例ではインターポーザ基板 13E として内層配線を有した多層基板を用いた例を示したが、前記した各実施例で示したような片面単層配線基板、或いは両面単層配線基板を用いることも可能である。

【0089】

次に、本発明の第 7 実施例について説明する。

図 7 は、本発明の第 7 実施例である半導体装置 10G を示している。図 6 を用いて説明した第 6 実施例に係る半導体装置 10F では、回路基板本体 18E とは別部品とされた受動部品 40 を用意し、これをインターポーザ基板 13E に半田付けする構成とした。

【0090】

これに対して本実施例に係る半導体装置 10G は、多層化されたインターポーザ基板 13F 内に内層配線として形成される第 3 の導電性部材 34C と共に、内層配線を利用して受動素子であるインダクタ部 41 及びコンデンサ部 42 を回路基板本体 18F (インターポーザ基板 13F) 内に形成したことを特徴とするものである。

【0091】

尚、受動素子を多層配線基板の内部に形成する方法は、本実施例のように、内層配線として形成する方法の他、受動素子部品を多層配線基板の内部に埋設して内部配線として接続するように形成する方法もある。

【0092】

本実施例に係る半導体装置 10G によれば、受動素子であるインダクタ部 41 及びコンデンサ部 42 を多層基板である回路基板本体 18F の内層配線により形

成したことにより、受動素子 41, 42 をインターポーザ基板 13F に一体的に組み込むことができる。このため、回路基板本体 18F と別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

【0093】

【発明の効果】

上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

【0094】

請求項 1 記載の発明によれば、外部接続端子の配列が予め定められている汎用の半導体装置部を積載接続できるため、設計の自由度が向上し、複数の半導体装置を組み合わせるようなシステムを有する積層型半導体装置が容易に実現できる。これにより、半導体装置の高機能化、多機能化に対応することができる。

【0095】

また、品質保証された汎用の半導体装置を組み込むことによって、試験工程を簡略化できるので製造コストの低減を図れ、製造歩留りを向上させることができる。

【0096】

また、請求項 2 記載の発明によれば、第 1 の導電性部材を半田バンプにより構成したことにより、簡易かつ低コストに積層構造を実現することができる。

【0097】

また、請求項 3 記載の発明によれば、外部接続端子が貫通孔内に入り込む量に対応する高さだけ第 1 の半導体装置部と第 3 の配線基板を近接できるため、積層型半導体装置の薄型化を図ることができる。

【0098】

また、請求項 4 記載の発明によれば、片面のみに第 3 の導電性部材を形成する構成に比べ、第 3 の導電性部材をより複雑なパターンで形成でき、よって半導体装置の設計の自由度が向上する。また、第 3 の配線基板の剛性が増し、温度変化による基板の反りや変形の発生を低減できるため、半導体装置の信頼性を向上さ

せることができる。

【0099】

また、請求項5及び請求項6記載の発明によれば、半導体装置の高機能化、多機能化により有利となる。

【0100】

また、請求項7記載の発明によれば、第3の配線基板を多層配線基板とすることにより、より高密度な配線基板を形成できる。また、多層配線基板は片面配線基板或いは両面配線基板に比べて剛性が増すため、第3の配線基板の温度変化による基板の反り・変形を低減でき、組立工程での製造歩留を向上させることができる。

【0101】

また、請求項8記載の発明によれば、第3の配線基板に受動素子を設けているため、所定の電気特性が要求される高周波デバイスに適した半導体装置を構成できる。

【0102】

また、請求項9記載の発明によれば、第3の配線基板と別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

【図面の簡単な説明】

【図1】

本発明の第1実施例である半導体装置の断面図である。

【図2】

本発明の第2実施例である半導体装置の断面図である。

【図3】

本発明の第3実施例である半導体装置の断面図である。

【図4】

本発明の第4実施例である半導体装置の断面図である。

【図5】

本発明の第5実施例である半導体装置の断面図である。

【図 6】

本発明の第 6 実施例である半導体装置の断面図である。

【図 7】

本発明の第 7 実施例である半導体装置の断面図である。

【符号の説明】

- 10A～10G 半導体装置
- 11A～11E 上部装置部
- 12A～12D 下部装置部
- 13A～13F インターポーザ基板
- 14A～14H, 15A～15E 半導体素子
- 16A～16D 第 1 の配線基板
- 17A～17C 第 2 の配線基板
- 18A～18E 回路基板本体
- 22 外部接続端子
- 24A, 31A 上面
- 24B, 31B 下面
- 26 接続用電極
- 27 バンプ接合用電極
- 28 下部電極
- 29 外部接続端子
- 32 第 1 の導電性部材
- 33 第 2 の導電性部材
- 34A～34C 第 3 の導電性部材
- 35, 35A, 35B 保護膜
- 36 貫通孔
- 37 貫通電極
- 38A, 38B 積層用バンプ
- 39 内層配線
- 40 受動部品

4 1 インダクタ部

4 2 コンデンサ部

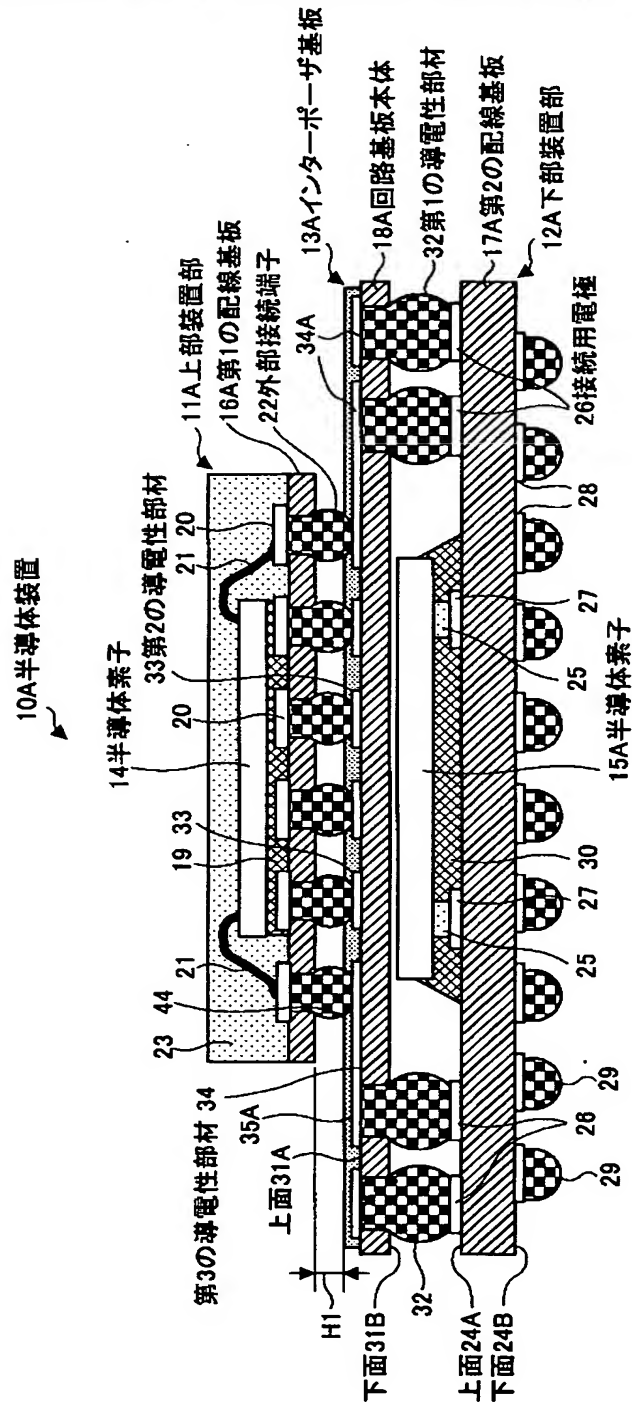
4 4 , 4 4 A , 4 4 B 開口部

4 5 , 4 5 E , 4 5 F 接着剤

【書類名】 図面

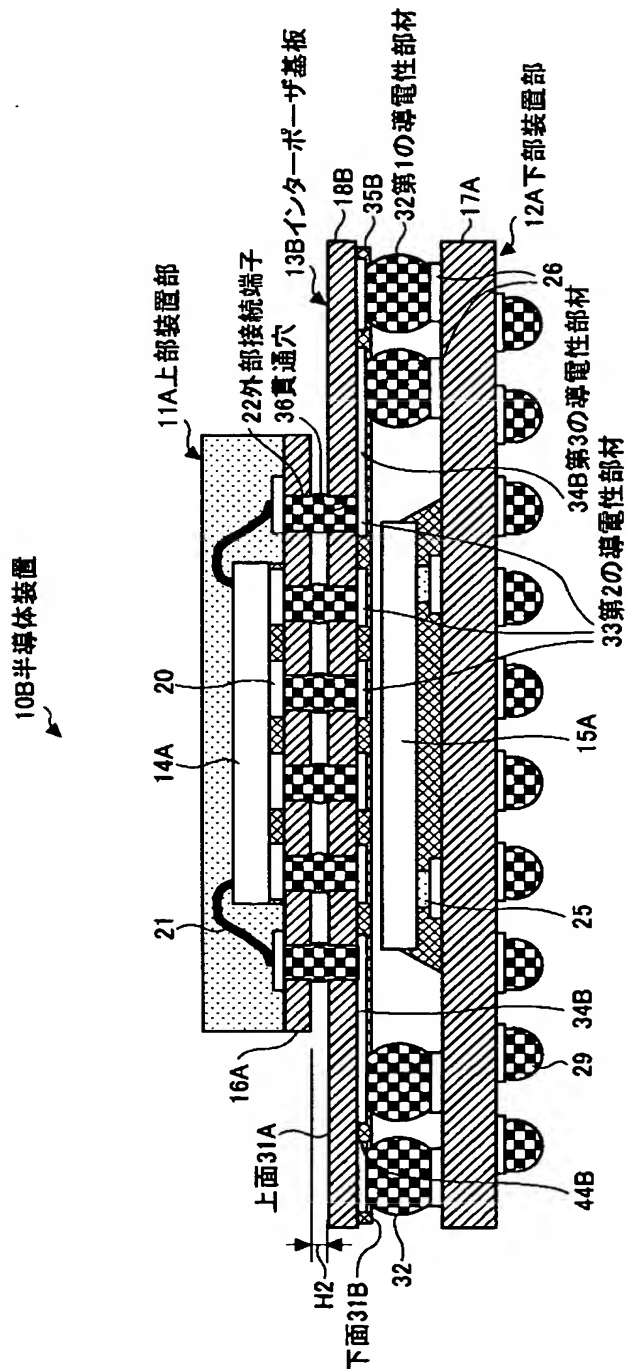
【図 1】

本発明の第1実施例である半導体装置の断面図



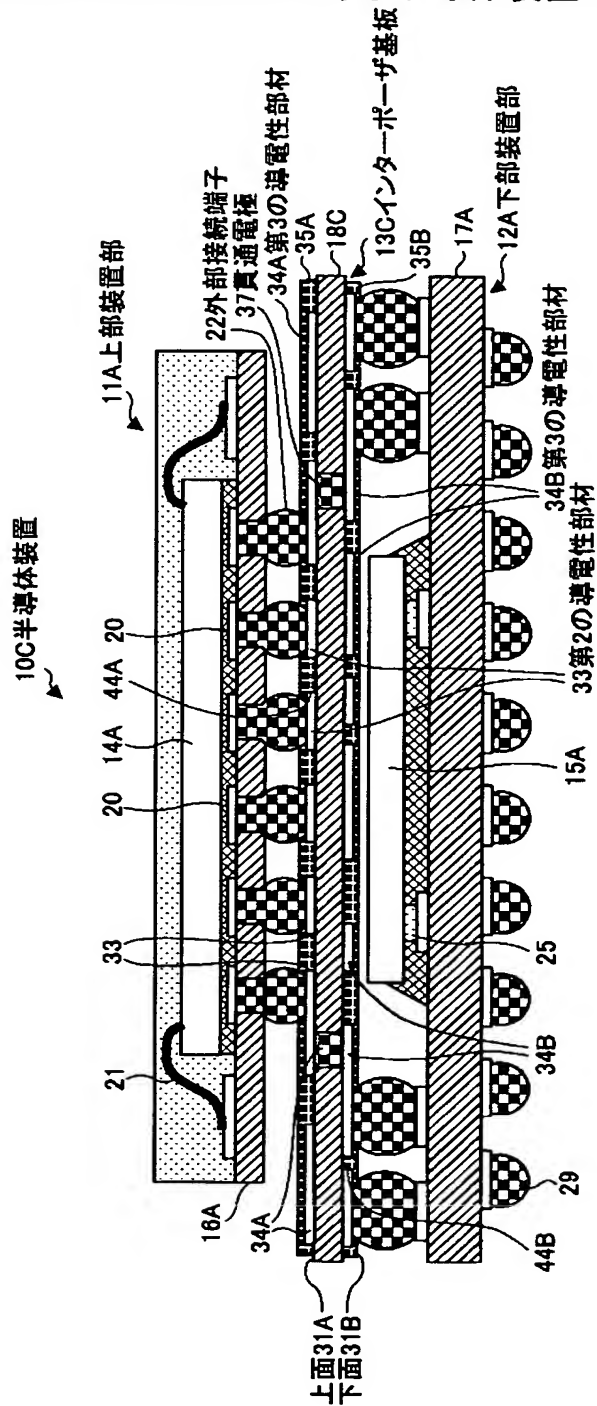
【図 2】

本発明の第2実施例である半導体装置の断面図



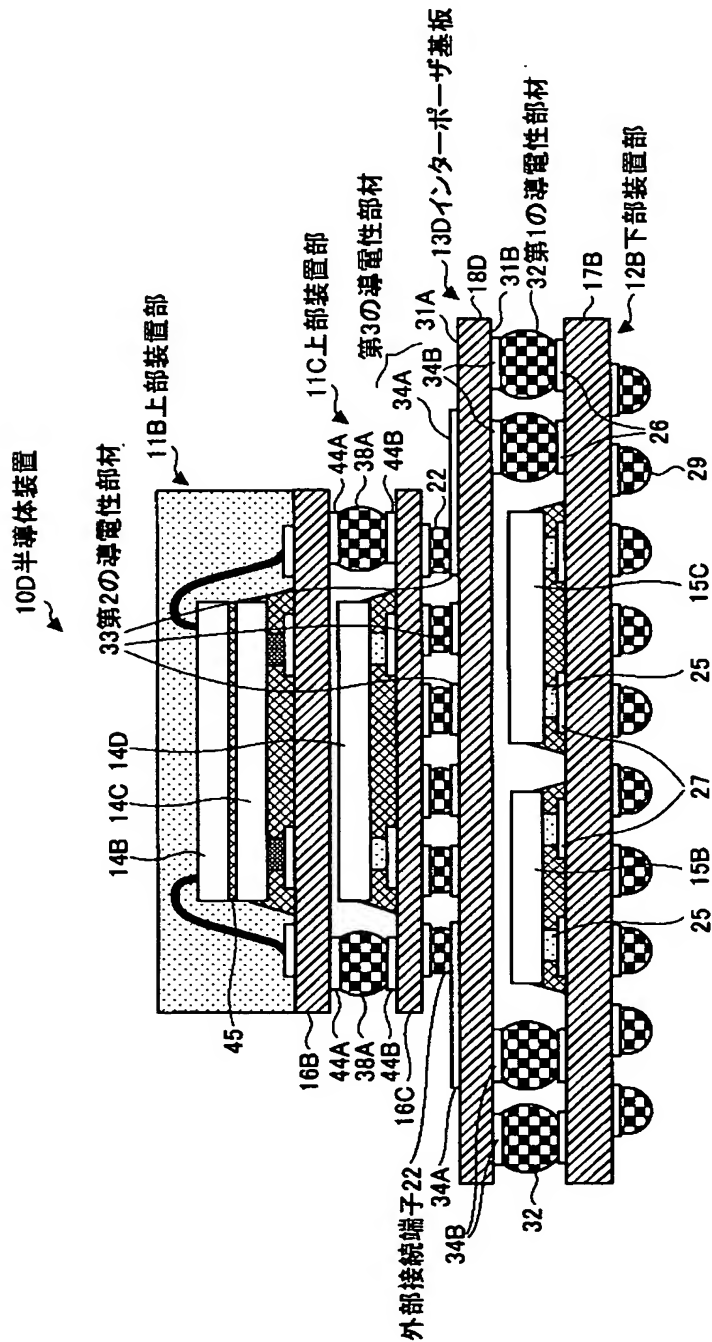
【図 3】

本発明の第3実施例である半導体装置の断面図



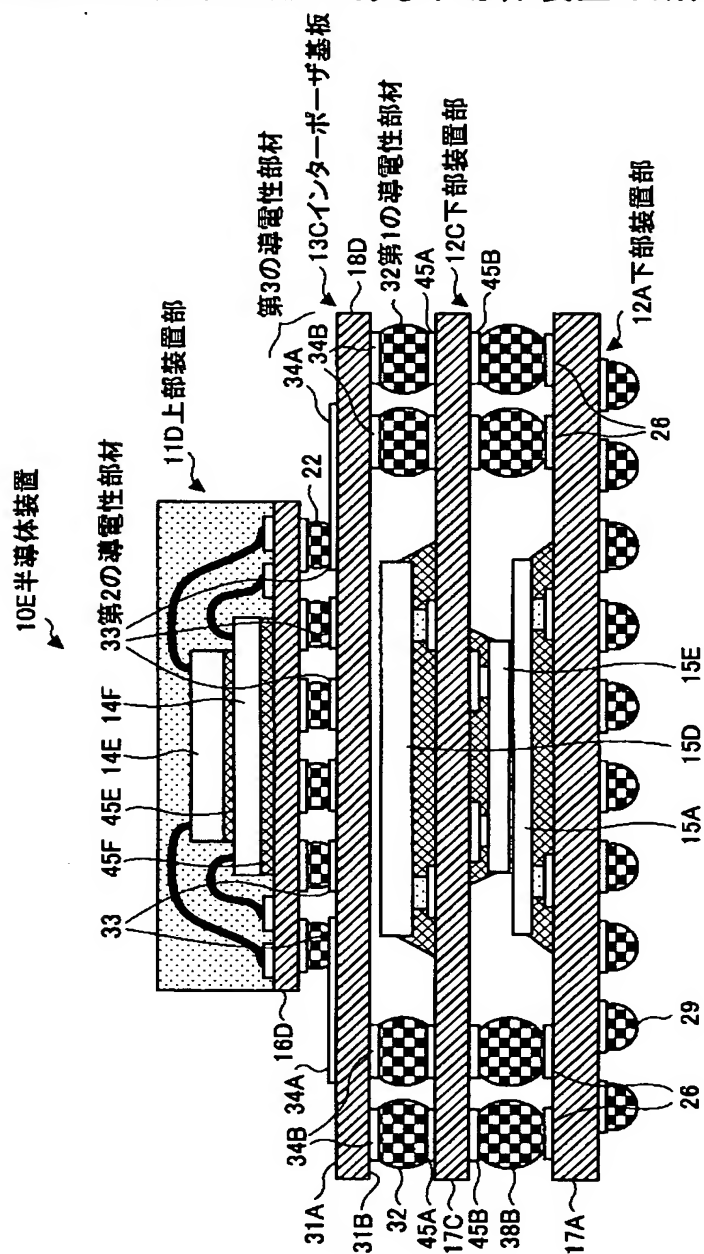
【図 4】

本発明の第4実施例である半導体装置の断面図



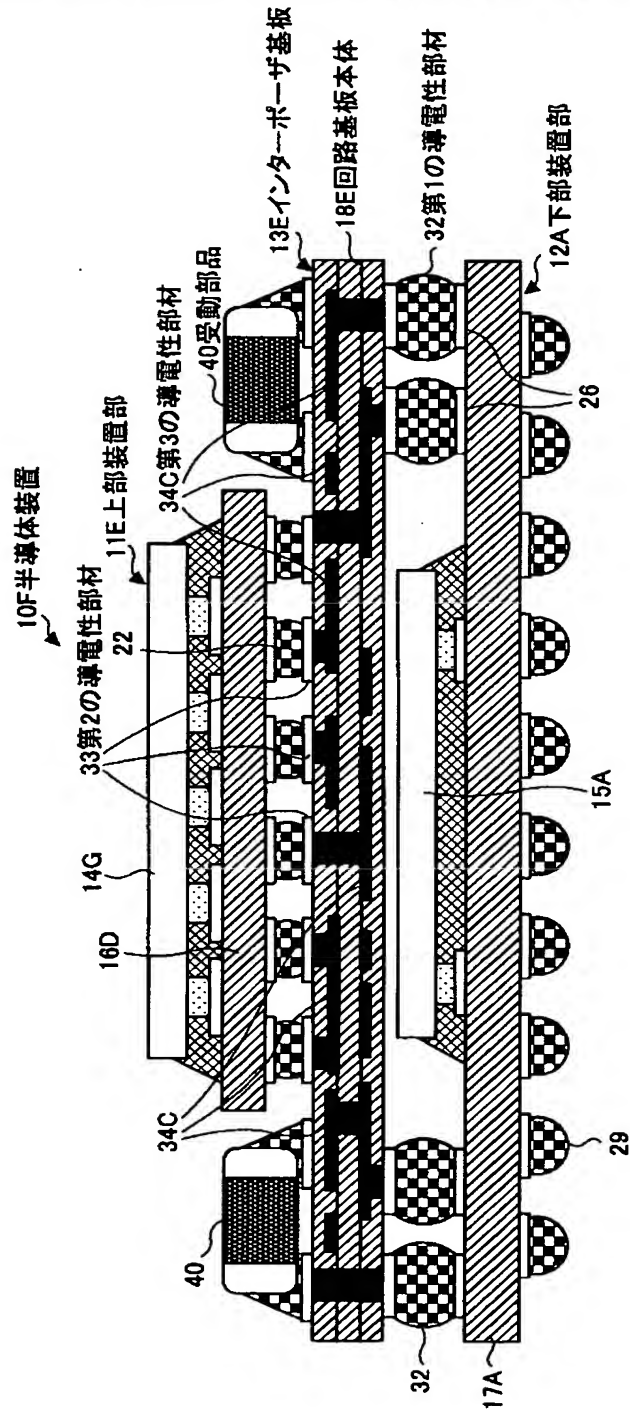
【圖 5】

本発明の第5実施例である半導体装置の断面図



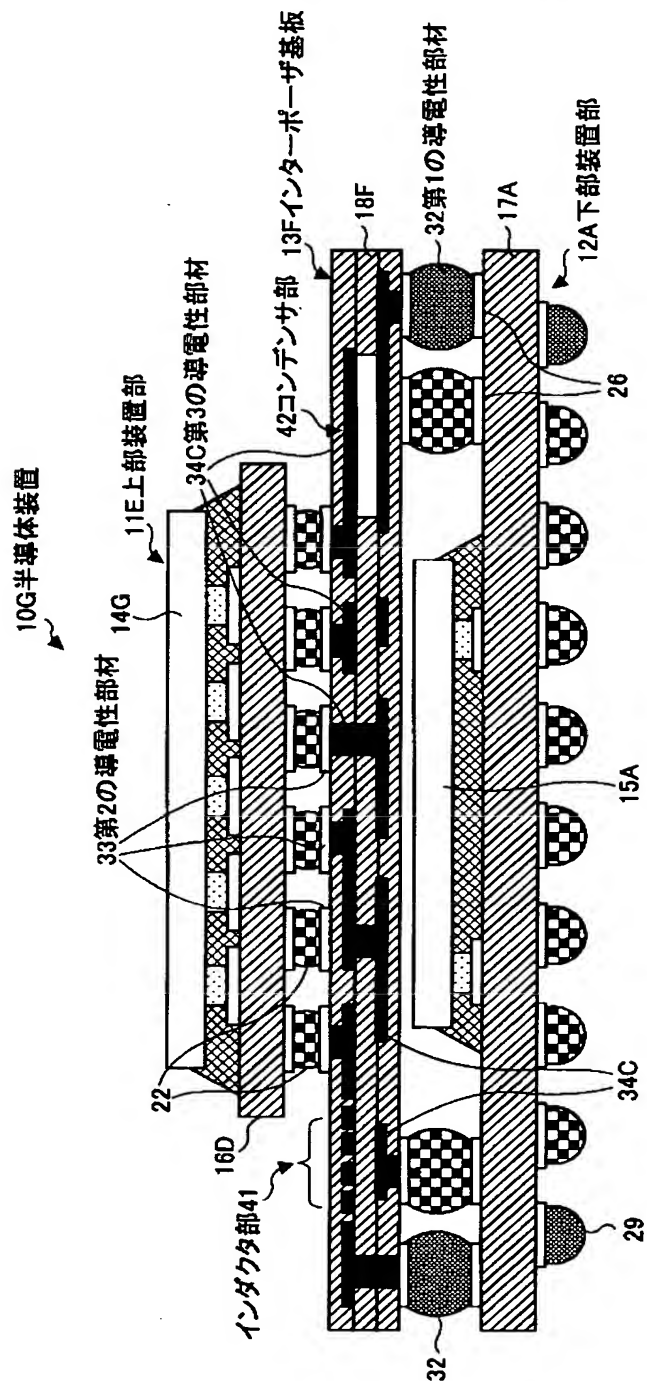
【図 6】

本発明の第6実施例である半導体装置の断面図



【図 7】

本発明の第7実施例である半導体装置の断面図



【書類名】 要約書

【要約】

【課題】 本発明は複数の半導体装置部及び半導体素子を積層した三次元構造を有する積層型半導体装置に関し、汎用の半導体装置部（半導体装置）を積層可能とすることを課題とする。

【解決手段】 上部装置部 1 1 A と下部装置部 1 2 A との間にインターポーザ基板 1 3 A を配設した構成とする。上部装置部 1 1 A は、半導体素子 1 4 A、第 1 の配線基板 1 6 A、及び外部接続端子 2 2 とを有する。また、下部装置部 1 2 A は、上部装置部 1 1 A の下部に位置する第 2 の配線基板 1 7 A、半導体素子 1 5 A、及び第 2 の配線基板 1 7 A の上面 2 4 A に形成された接続用電極 2 6 を有する。また、インターポーザ基板 1 3 A は、第 1 の配線基板 1 6 A と第 2 の配線基板 1 7 A との間に配設される回路基板本体 1 8 A、接続用電極 2 6 と接続する第 1 の導電性部材 3 2、外部接続端子 2 2 の形成位置に対応して形成され外部接続端子 2 2 と電氣的に接続する第 2 の導電性部材 3 3 と、第 1 の導電性部材 3 2 と第 2 の導電性部材 3 3 を接続する第 3 の導電性部材 3 4 A とを有する。

【選択図】 図 1



特願 2 0 0 3 - 0 6 5 3 9 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社